

# PATENT ABSTRACTS OF JAPAN

P-2248

(11) Publication number : 09-246556

(43) Date of publication of application : 19.09.1997

(51) Int.Cl.

H01L 29/786  
H01L 27/12

(21) Application number : 08-047140

(71)Applicant : HITACHI LTD

(22) Date of filing : 05.03.1996

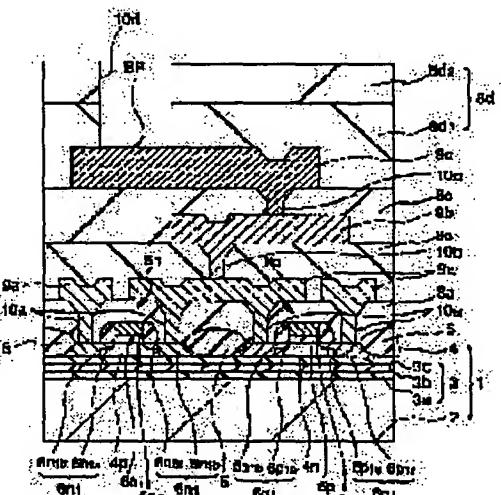
(72)Inventor : YANAGISAWA YASUNOBU  
OGASAWARA MAKOTO

**(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To restrain warp and degradation which are caused by a stress remaining in an insulating layer when the insulating layer is formed by a method wherein a stress relaxation part which relaxes the stress remaining in the insulating layer is formed in the insulating layer.

**SOLUTION:** A semiconductor substrate 2 which constitutes an SOI substrate 1 is composed of a P-type silicon single crystal, and a semiconductor layer 4 is formed on it via an insulating layer. Three insulating layers 3a to 3c are laminated sequentially from the lower part. The substrate 2 ensures the strength of the substrate, and the upper and lower insulating layers 3a to 3c ensure the bonding force of the substrate 2 to the semiconductor layer 4. The intermediate insulating layer (as a stress relaxation part) 3b is a member which relaxes a stress remaining in the insulating layers 3a, 3c, and it contains a stress in a direction opposite to the residual stress in the insulating layers 3a, 3c. By this structure, the stress in the insulating layers 3a, 3c is offset by the stress in the insulating layer 3b, it is possible to restrain the warp of the SOI substrate 1 and the quality degradation of the semiconductor layer 4.



## **LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



リンまたはAsが含有されている。この成り半導体部材6 n 1および深い半導体部材6 n 1 bは、例えばイオン打込み法によって形成されている。

【0026】ゲート絶縁層6 n 1 iは、例えばSiO<sub>2</sub>からなる。また、ゲート電極6 n 1 gは、例えば低抵抗シリコンからなる。ただし、ゲート電極6 n 1 gは、これに限られるものではなく種々変更可能であり、例えば低抵抗シリコン膜上にシリサイド膜を堆積した構造で形成しても良い。

【0027】ゲート電極6 n 1 gの側面にはサイドウォール7が形成されている。このサイドウォール7は、LDI (Lightly Doped Drain)構造を形成するための部材であり、例えばSiO<sub>2</sub>からなる。

【0028】一方、p-MOS 6 pは、半導体層4 n 上に形成されている。半導体層4 nには、例えばn形不純物のリンまたはBが含有されている。p-MOS 6 pは、半導体層4 nの上部に互いに隔離して形成された二つの半導体部材6 p 1と、半導体層4 n 上に形成されたゲート絶縁層6 p 1 iと、その上に形成されたゲート電極6 p 1 gとを有している。なお、一方の半導体部材6 p 1 iにチャネル駆動部が形成される。

【0029】この一方半導体部材6 p 1 iは、p-MOS 6 pのソース・ドレイン部材を形成するための領域であり、チャネル駆動部間に配置された浅い半導体部材6 p 1 oと、子の外側に配置された深い半導体部材6 p 1 bとを行き来する。

【0030】また、半導体層4には量子分離川のフィード絶縁層5が形成されている。フィード絶縁層5は、例えばSiO<sub>2</sub>からなり、その下部が绝缘層3 cに接続されると、より簡単に形成されている。ただし、必ずしも構成する。

でいくくとも良い。

[0022] このような半導体制約4において、ツイール不純物のホウ素が含有されている。また、深い半導体制約6 p iには、例えばnチャーチル電極5に囲まれた基部のnMOS・FET (Metal Oxide Semiconductor Field Effect Transistor : 以下、nMOSという) 6 (またはpチャーチル形nMOS・FET (以下、pMOSといふ) 6) が形成されている。そして、このnMOS (Complementary Metal Oxide Semiconductor)回路が形成されている。

[0023] nMOS 6は、半導体制約4 p iに形成されている。半導体制4 p iには、例えばp型不純物のホウ素が含有されている。nMOS 6は、半導体制4 p iの外側部に互に隣接して形成された一方の半導体制約6 n iと、半導体制4 p iに形成されたゲート電極6 p iと、その上に形成されたゲート電極6 n gとを有している。なお、一方の半導体制6 n iの間にnMOS 6 nチャーチル電極が形成されている。

[0024] この半導体制6 n iは、nMOS 6 nのソース・ドレイン領域となるための領域であり、チヤカル部制限側に配置された深い半導体制6 n l aと、その外側に配置された深い半導体制6 n l bとを有している。

[0025] 深い半導体制6 p iには、例えばn形不純物のリンまたはヒ素 (As) が含有されている。また、深い半導体制6 n l bには、例えばn形不純物のシリコンが含有されている。この深い半導体制6 p iはおよび深い半導体制6 p i l bは、例えればイオン打込み法によって形成されている。

[0031] ゲート電極6 p iは、例えればSiO<sub>2</sub>からなる。また、ゲート電極6 p i gは、例えれば低抵抗シリコンからなる。ただし、ゲート電極3 p kは、これに限定されるものではなく種々種々可能であり、例えれば低抵抗シリコン膜上にシリサイド膜を堆積した積層膜で形成しても良い。

[0032] ゲート電極6 p i gの側面にはサイドウォール7が形成されている。このサイドウォール7はLDD構造を形成するための部材であり、例えればSiO<sub>2</sub>からなる。

[0033] このようなSOI基板1上には、例えばSiO<sub>2</sub>からなる層間絕縁膜8 aが堆積されており、これによって、上記したnMOS 6 nおよびpMOS 6 pが被覆されている。

[0034] この層間絶縁膜8 aの上面には、例えればアルミニウム (Al) - Si - 鋼 (Cu) 介層からなる第1層線9 aが形成されている。この第1層線9 aは、層間絶縁膜8 aに穿孔された接続孔1-1 oを通じて

nMOS 6 nおよびpMOS 6 pの半導体領域 6 n 1, 6 p 1と電気的に接続されている。

[0035] このようだ第1層配線 9 aは、例えばSiO<sub>2</sub>からなる層間絕縁膜 8 bによって被覆されている。その層間絶縁膜 8 bの上面上には、例えばAl - Si - C合金からなる第2層配線 9 bが形成されている。第2層配線 9 bは、層間絶縁膜 8 bに穿孔された接続孔 10 bを通じて第1層配線 9 aと電気的に接続されている。

[0036] 層間絶縁膜 8 b上には、例えばSiO<sub>2</sub>からなる層間絶縁膜 8 cが堆積されており、これによつて、第2層配線 9 bが被覆されている。その層間絶縁膜 8 c上には、第3層配線 9 cが形成されている。

[0037] この第3層配線 9 cには、表面保護膜 8 dが形成されている。表面保護膜 8 dは、例えば保護膜 8 d - Cu合金からなり、層間絶縁膜 8 cに形成された接続孔 10 cを通じて第2層配線 9 bと電気的に接続されている。

[0038] 層間絶縁膜 8 c上には、表面保護膜 8 dが形成されている。表面保護膜 8 dは、例えば保護膜 8 d - Li上に保護膜 8 dが堆積してなる。保護膜 8 d 1は、例えばSiO<sub>2</sub>からなり、その上層の保護膜 8 d 2は、例えば塗装シリコウチからなる。その上層の保護膜 8 d 3には、表面保護膜 8 dの一部が露出するような割合で1.0 dが形成されている。

[0039] 表面保護膜 8 dの一部には、第3層配線 9 cの一部が露出するような割合で1.0 dが形成されている。第3層配線 9 cにおいて、この開口部1.0 dから露出する部分は、ボンディングハンド部IPを形成している。

5. [0040] なお、このボンディングハッド部BPに  
は、ボンディングワイヤを通過して半導体集積回路装置を構成するハッケージリードが電気的に接続されるようになっている。

[0041] 次に、本実施形態1の半導体集積回路装置を図の製造方法を図2-1図5によって説明する。

[0042] まず、図2に示すように、例えば直径5インチ、厚さ55.0～60.0μm程度のP形Si基板品からなる半導体ウエハ4Wを用意する。この半導体ウエハ4Wは、図1の半導体部4を形成するための部材である。

[0043] 続いて、この半導体ウエハ4Wに対して熱酸化処理を施すことにより、半導体ウエハ4Wの表面に、例えはSiO<sub>2</sub>からなる絶縁層3aを形成する。この絶縁層3aには圧縮応力が残留している。

[0044] その後、その絶縁層3aの裏面に、例えばシリコングラウドを熱CVD法等によって形成する。この際の反応ガスとしては、例えばSiH<sub>4</sub>、C<sub>2</sub>H<sub>2</sub>およびNH<sub>3</sub>を使用している。この絶縁層3bには、上記した絶縁層3aとけ離の引つ型り屈みが形成している。

[0045] 次いで、その絶縁層3bの裏面に、例えばSiO<sub>2</sub>からなる絶縁層3cを熱CVD法等によって形成する。この際の反応ガスとしては、例えばN<sub>2</sub>Oおよび

[0045] 本実施の形態1において、絶縁層3aには、上記した絶縁層3aと同じ耐熱性の半導体ウエハ2Wを用いて構成する。また、半導体ウエハ2Wは、絶縁層3aに接する面と、絶縁層3aと接する面との間に、絶縁層3bを形成する。半導体ウエハ2Wと絶縁層3bとの間に隙間がある場合、隙間部を封止するための接着剤を用いて接着する。

[0046] 一方で、絶縁層3bには、上記した絶縁層3aと同様に、半導体ウエハ2Wと同程度の直径の他の半導体ウエハ2Wを用意する。この半導体ウエハ2Wは、図1の半導体基板1を形成するための部材であり、例えばP+～N+～N結晶品からなる。

[0047] 続けて、図3に示すように、半導体ウエハ2Wと絶縁層3bとの間に隙間がある場合、隙間部を封止するための接着剤を用いて接着する。

[0048] そして、このような半導体ウエハ2Wの上面と、半導体ウエハ2Wの下面とを対向させ接触させた状態で、熱処理を施すことにより、図4に示すようにならせる。一方の半導体ウエハ2Wを絶縁層3bと介して、他の半導体ウエハ2Wと4Wを接続する。

[0049] その後、半導体ウエハ2Wを所定の厚さだけ残るようにその裏面側から研削する。これにより、図5に示すように、厚さ0.1～0.3μm程度の薄い半導体層4を形成する。

[0050] この際、本実施の形態1において、絶縁層3a中に絶縁層3bと、3cの露窓部41とが逆方向側の露窓

底面内に在する底縫隔 3 b を越けたことにより、それらの粘着力が弱くなる結果、研削によって半導体板 4 が薄くなつたとしてもその芯部によつて SOI 基板 1 が保つたり、半導体板 4 の品質が劣化したりするのを抑制することができる可能性になっている。

【0051】その後、その半導体板 4 に、通常のウエーハ・プロセスに従つて MOS・FET を形成した後、個々の半導体チップに分割することにより、図 1 に示した半導体表面接合部を製造する。

【0052】このように、本実施の形態 1 によれば、以下の効果を得ることが可能となる。

【0053】すなはち、絶縁層 3 b に接着形成川の半導体板 4 を設けてやる SOI 基板 1 を用いる半導体表面接合部装置の製造において、その絶縁層 3 b に応力緩和層と絶縁層 3 a、3 c の段階的力に起因する SOI 基板 1 のひびや陥没を有する絶縁層 3 b を設けることにより、絶縁層 3 a、3 c の段階的力に起因する SOI 基板 1 のひびや陥没を抑止することができる。このため、SOI 基板 1 を用いた半導体表面接合部装置の歩留り、信頼性および性能を向上させることができるとなる。

【0054】(実施の形態 2) 図 6 は本実施の他の実施の形態である半導体表面接合部装置の構成、半導体表面接合部装置の平面図、図 7 は図 6 の要部断面図であらわす。

【0055】本実施の形態 2 においては、图 6 および图

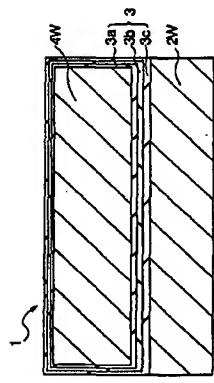


(7)

特開平09-246556

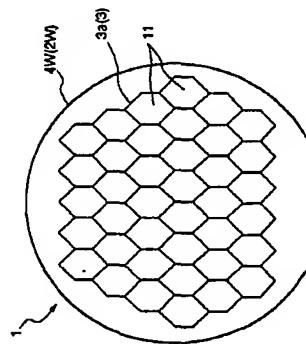
【図4】

図 4



【図6】

図 6



11: 積層(逐次重ね)

【図8】

図 8

